

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

13152638

Basic Patent (No,Kind,Date): JP 8180804 A2 960712 <No. of Patents: 002>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 8180804	A2	960712	JP 94336625	A	941226 (BASIC)
JP 2854532	B2	990203	JP 94336625	A	941226

Priority Data (No,Kind,Date):

JP 94336625 A 941226

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 8180804 A2 960712

SURFACE CONDUCTIVE-TYPE ELECTRON EMITTING ELEMENT, ELECTRON SOURCE AND
IMAGE FORMING DEVICE USING THEREOF, AND MANUFACTURE THEREOF (English)

Patent Assignee: CANON KK

Author (Inventor): MITOME MASANORI; YAMAMOTO KEISUKE; YAMANOBE MASATO;
HAMAMOTO YASUHIRO

Priority (No,Kind,Date): JP 94336625 A 941226

Applic (No,Kind,Date): JP 94336625 A 941226

IPC: * H01J-009/02; H01J-001/30; H01J-031/12; H01J-031/15

CA Abstract No: * 125(18)234534D; 125(18)234534D

Derwent WPI Acc No: * G 96-376618; G 96-376618

Language of Document: Japanese

Patent (No,Kind,Date): JP 2854532 B2 990203

Patent Assignee: CANON KK

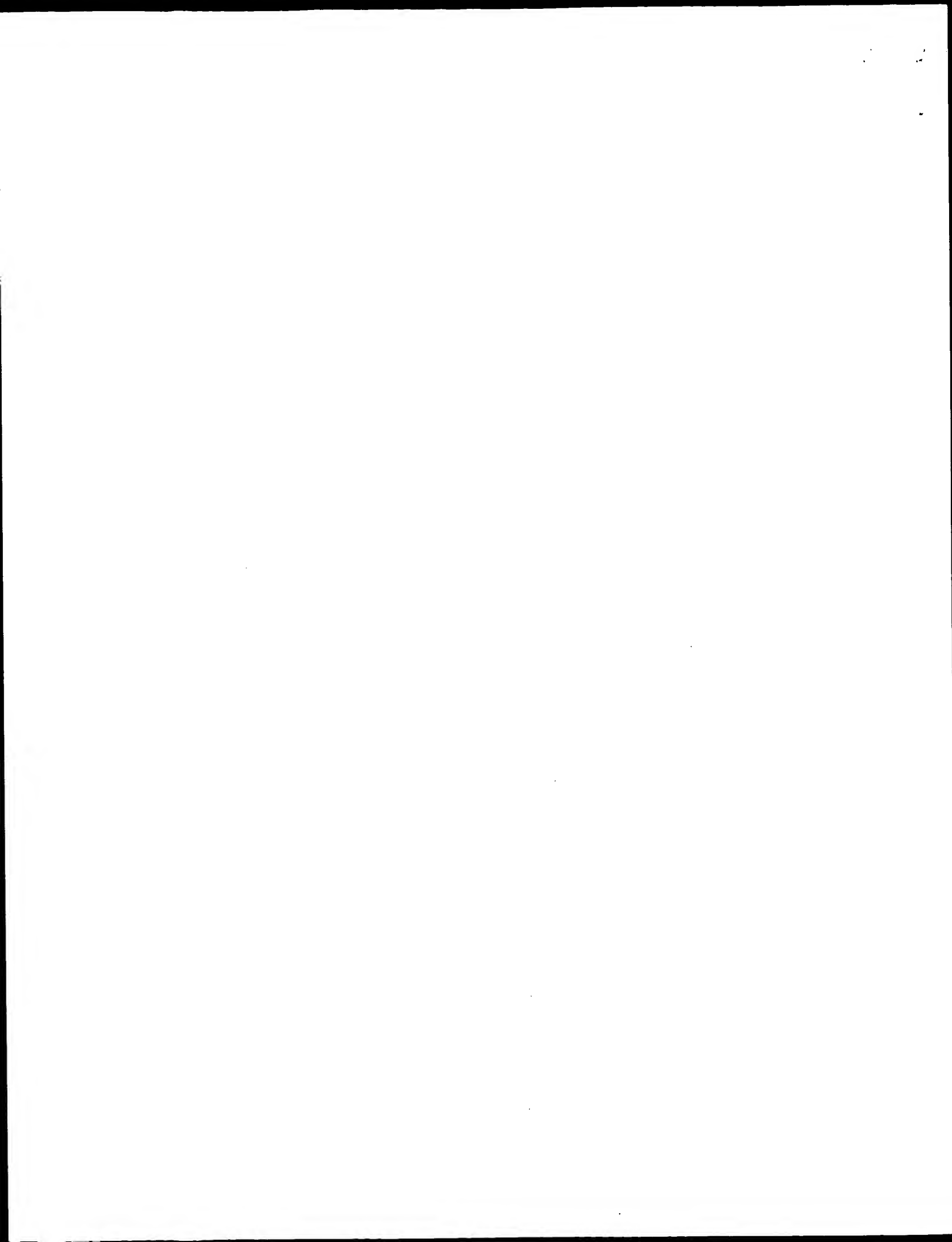
Author (Inventor): MITOME MASANORI; YAMAMOTO KEISUKE; YAMANOBE MASATO;
HAMAMOTO YASUHIRO

Priority (No,Kind,Date): JP 94336625 A 941226

Applic (No,Kind,Date): JP 94336625 A 941226

IPC: * H01J-009/02; H01J-001/30; H01J-031/12

Language of Document: Japanese



DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

05225304 **Image available**

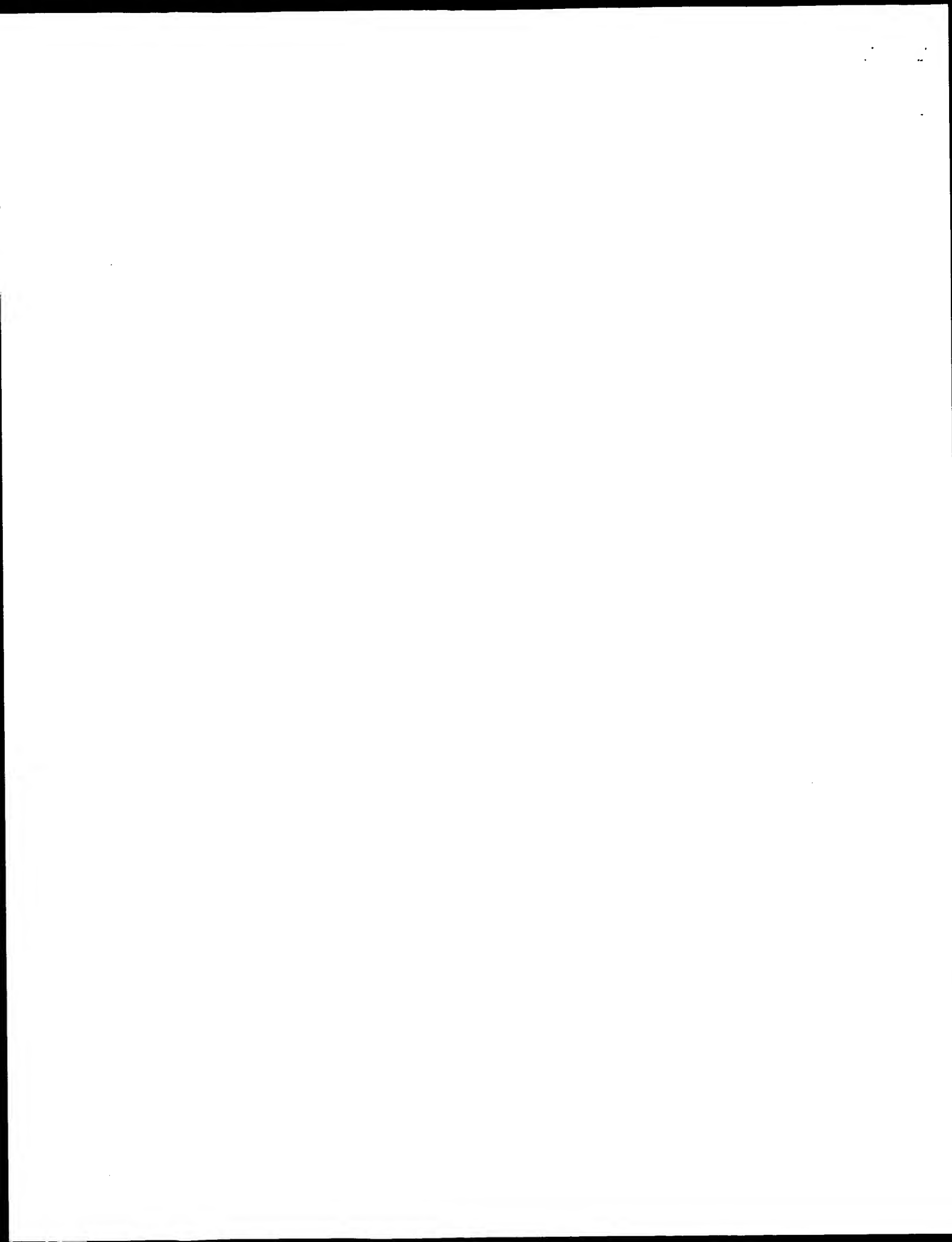
SURFACE CONDUCTIVE-TYPE ELECTRON EMITTING ELEMENT, ELECTRON SOURCE AND
IMAGE FORMING DEVICE USING THEREOF, AND MANUFACTURE THEREOF

PUB. NO.: 08-180804 [J P 8180804 A]
PUBLISHED: July 12, 1996 (19960712)
INVENTOR(s): MITOME MASANORI
YAMAMOTO KEISUKE
YAMANOBE MASATO
HAMAMOTO YASUHIRO
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 06-336625 [JP 94336625]
FILED: December 26, 1994 (19941226)
INTL CLASS: [6] H01J-009/02; H01J-001/30; H01J-031/12; H01J-031/15
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 29.4 (PRECISION
INSTRUMENTS -- Business Machines); 44.6 (COMMUNICATION --
Television); 44.9 (COMMUNICATION -- Other)
JAPIO KEYWORD: R003 (ELECTRON BEAM); R012 (OPTICAL FIBERS); R020 (VACUUM
TECHNIQUES); R101 (APPLIED ELECTRONICS -- Video Tape
Recorders, VTR); R107 (INFORMATION PROCESSING -- OCR & OMR
Optical Readers); R108 (INFORMATION PROCESSING -- Speech
Recognition & Synthesis); R139 (INFORMATION PROCESSING --
Word Processors)

ABSTRACT

PURPOSE: To improve electron emitting properties and durability by carrying
out activation treatment after an electron emitting part is formed by
electrification to a conductive thin film which communicates element
electrodes formed on a substrate with each other.

CONSTITUTION: After materials for element electrodes are deposited on a
sufficiently cleaned substrate 1, a pair of opposed element electrodes 4, 5
are formed by photolithographic method. After that, an organometal solution
is applied to the resulting substrate, heated and baked to form a
conductive thin film 3 which communicates the element electrodes 4, 5.
Then, electricity is applied between the element electrodes 4, 5 to partly
damage, deform or denature the thin film 3 to form an electron emitting
part 2. Furthermore, the obtained substrate is activated by applying
voltage under the atmosphere containing an organic compound while the
voltage being increased from voltage lower than foaming voltage to voltage
higher than the foaming voltage continuously or step by step at
0.1-1.0V/minute increasing ratio.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2854532号

(45) 発行日 平成11年(1999) 2月3日

(24) 登録日 平成10年(1998) 11月20日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 J 9/02

H 0 1 J 9/02

E

1/30

1/30

E

31/12

31/12

C

請求項の数19(全 21 頁)

(21) 出願番号 特願平6-336625

(22) 出願日 平成6年(1994) 12月26日

(65) 公開番号 特開平8-180804

(43) 公開日 平成8年(1996) 7月12日

審査請求日 平成9年(1997) 10月2日

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 三留 正則

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 山本 敬介

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 山野辺 正人

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

審査官 榎本 吉孝

最終頁に続く

(54) 【発明の名称】 表面伝導型電子放出素子、電子源、画像形成装置、及びこれらの製造方法

1

(57) 【特許請求の範囲】

【請求項1】 絶縁性基板上に、一対の対向する素子電極と該素子電極間を連絡する導電性薄膜とを形成する工程と、該導電性薄膜に通電処理により電子放出部を形成した後、有機化合物を有する雰囲気下で上記素子電極間に電圧を漸増させながら印加する工程とを有することを特徴とする表面伝導型電子放出素子の製造方法。

【請求項2】 素子電極間に電圧を漸増させながら印加する工程における印加電圧が、通電処理による電子放出部形成時の印加電圧よりも低い電圧から高い電圧へと漸増することを特徴とする請求項1の表面伝導型電子放出素子の製造方法。

【請求項3】 素子電極間に電圧を漸増させながら印加する工程における印加電圧が、連続的に漸増することを特徴とする請求項1又は2の表面伝導型電子放出素子の

2

製造方法。

【請求項4】 素子電極間に電圧を漸増させながら印加する工程における印加電圧が、階段状に漸増することを特徴とする請求項1又は2の表面伝導型電子放出素子の製造方法。

【請求項5】 素子電極間に電圧を漸増させながら印加する工程における印加電圧が、パルス状であることを特徴とする請求項1～4のいずれかの表面伝導型電子放出素子の製造方法。

【請求項6】 素子電極間に電圧を漸増させながら印加する工程における印加電圧が、矩形パルス若しくは三角パルスであることを特徴とする請求項5の表面伝導型電子放出素子の製造方法。

【請求項7】 前記有機化合物が、脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケト

ン類、アミン類、有機酸、若しくはこれらの誘導体の中から選ばれるいずれかであることを特徴とする請求項1～6いずれかの表面伝導型電子放出素子の製造方法。

【請求項8】 請求項1～7のいずれかの製造方法により製造される電子放出素子であって、絶縁性基板上に対向して設けられた一対の素子電極と、該素子電極間に形成された、電子放出部を有する導電性薄膜と、からなり、少なくとも該電子放出部近傍に炭素及び炭素化合物を有することを特徴とする表面伝導型電子放出素子。

【請求項9】 炭素及び炭素化合物が、グラファイト、アモルファスカーボン、或いはこれらの混合物からなることを特徴とする請求項8の表面伝導型電子放出素子。

【請求項10】 素子電極が同一面上に形成された平面型の素子であることを特徴とする請求項8又は9の表面伝導型電子放出素子。

【請求項11】 一方の素子電極に隣接して設けられた絶縁層上に他方の素子電極が位置し、該絶縁層の側面に導電性薄膜が形成された垂直型の素子であることを特徴とする請求項8又は9の表面電動型電子放出素子。

【請求項12】 請求項8～11のいずれかの電子放出素子を複数個並列に配置し結線してなる素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線が梯子型配置されていることを特徴とする電子源。

【請求項13】 請求項8～11のいずれかの電子放出素子を複数個配列してなる素子列を少なくとも1列以上有し、該電子放出素子を駆動するための配線がマトリクス配置されていることを特徴とする電子源。

【請求項14】 請求項12の電子源と、画像形成部材、及び情報信号により各素子から放出される電子線を制御する制御電極を有することを特徴とする画像形成装置。

【請求項15】 請求項13の電子源と画像形成部材とを有することを特徴とする画像形成装置。

【請求項16】 テレビジョン放送の表示装置、テレビ会議システムの表示装置、コンピュータの表示装置のいずれかに用いられる請求項14又は15の画像形成装置。

【請求項17】 請求項1～7いずれかの製造方法で同一絶縁性基板上に複数の表面伝導型電子放出素子を形成してなることを特徴とする電子源の製造方法。

【請求項18】 請求項17の製造方法で得られた電子源を、該電子源から放出される電子線を制御する制御電極と、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法。

【請求項19】 請求項17の製造方法で得られた電子源を、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の表面伝導型電子放出素子を用いた電子源、それを用いた表示装置や露光装置等の画像形成装置、更には該電子源及び画像形成装置の製法に関する。

【0002】

【従来の技術】表面伝導型電子放出素子は、絶縁性の基板上に形成された導電性薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。

【0003】表面伝導型電子放出素子の典型的な構成例としては、絶縁性の基板上に設けた一対の素子電極間を連絡する金属酸化物等の導電性薄膜に、予めフォーミングと称される通電処理により電子放出部を形成したものが挙げられる。フォーミングは、導電性薄膜の両端に電圧を印加通電することで通常行われ、導電性薄膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。

【0004】電子放出は、上記電子放出部が形成された導電性薄膜に電圧を印加して電流を流すことにより、電子放出部に発生した亀裂付近から行われる。

【0005】上記電子放出素子は、構造が単純で製造も容易であることから、大面積に互って多数配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば表示装置等の画像形成装置への利用が挙げられる。

【0006】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に該電子放出素子を配列し、個々の電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を多数行配列（梯子型配線とも呼ぶ）した電子源が挙げられる（特開平1-31332号公報、同1-283749号公報、同2-257552号公報）。また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体を組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0007】上記表面伝導型電子放出素子を利用した表示装置において、高品位、高精細な画像を大画面で得るためには、電子放出素子の行・列の数が夫々数百～数千となり、非常に多くの電子放出素子を配列する必要がある。従って、各電子放出素子の電気特性が均一で制御しやすいことが望まれる。

【0008】

【発明が解決しようとする課題】本発明の目的は、高い電子放出特性と良好な耐久性を有する表面伝導型電子放

出素子を提供することにより、具体的には、電子放出特性の向上に十分な量の炭素及び炭素化合物を短時間に堆積し、更に堆積した炭素及び炭素化合物の耐久性を高めた表面伝導型電子放出素子を提供することにある。また本発明は、この表面伝導型電子放出素子を複数用いて電子源、更には該電子源を用いて画像形成装置を提供することを目的とするものである。

【0009】請求項1～7の発明は、表面伝導型電子放出素子の製造方法であって、導電性薄膜に通電処理により電子放出部を形成した後有機化合物を有する雰囲気下で上記素子電極間に電圧を漸増させながら印加することを特徴とする。

【0010】また、請求項8～11の発明は、上記製造方法により製造されたことを特徴とする表面伝導型電子放出素子であり、請求項12、13の発明は、該表面伝導型電子放出素子を複数形成してなる電子源、請求項14～16の発明は、該電子源を用いたことを特徴とする画像形成装置である。また、請求項17の発明は、上記請求項1～5の製造方法を用いて電子放出素子を製造することを特徴とする電子源の製造方法、請求項18、19の発明は該請求項17の製造方法により電子源を製造することを特徴とする画像形成装置の製造方法である。

【0011】以下、本発明を詳細に説明する。

【0012】上記のように、本発明は、複数の表面伝導型電子放出素子を用いた新規な電子源、これを用いた画像形成装置及びこれらの製法に係るものである。以下本発明を詳細に説明する。

【0013】表面伝導型電子放出素子には平面型と垂直型があり、本発明についてはいずれの電子放出素子でも用いることができる。まず、平面型電子放出素子の基本的な構成について説明する。

【0014】図1(a)、(b)は、平面型表面伝導型電子放出素子の基本的な構成を示す図である。

【0015】図1において1は基板、2は電子放出部、3は導電性薄膜、4と5は素子電極である。

【0016】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO₂を積層した積層体、アルミナ等のセラミックス等が挙げられる。

【0017】対向する素子電極4、5の材料としては、一般的導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0018】素子電極間隔L、素子電極長さW、導電性薄膜3の形状等は、応用される形態等によって設計される。

【0019】素子電極間隔Lは、数百Å～数百μmであ

ることが好ましく、より好ましくは、素子電極4、5間に印加する電圧と電子放出し得る電界強度等により、数μm～数十μmである。

【0020】素子電極長さWは、電極の抵抗値や電子放出特性を考慮すると、好ましくは数μm～数百μmであり、また素子電極厚dは、数百Å～数μmである。

【0021】尚、図1に示される表面伝導型電子放出素子は、基板1上に、素子電極4、5、導電性薄膜3の順に積層されたものとなっているが、基板1上に、導電性薄膜3、素子電極4、5の順に積層したものとしてもよい。

【0022】導電性薄膜3は、良好な電子放出特性を得るためには、微粒子で構成された微粒子膜であることが特に好ましく、その膜厚は、素子電極4、5へのステップカバレッジ、素子電極4、5間の抵抗値及び後述するフォーミング条件等によって適宜選択される。この導電性薄膜3の膜厚は、好ましくは数Å～数千Åで、特に好ましくは10Å～500Åであり、その抵抗値は、10³～10⁷Ω/□のシート抵抗値である。

【0023】導電性薄膜3を構成する材料としては、例えばPd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₂B₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等が挙げられる。

【0024】尚、上記微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜をさす。微粒子膜である場合、微粒子の粒径は、数Å～数千Åであることが好ましく、特に好ましくは10Å～200Åである。

【0025】電子放出部2には亀裂が含まれており、電子放出はこの亀裂付近から行われる。この亀裂を含む電子放出部2及び亀裂自体は、導電性薄膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存して形成される。従って、電子放出部2の位置及び形状は図1に示されるような位置及び形状に特定されるものではない。

【0026】亀裂は、数Å～数百Åの粒径の導電性微粒子を有することもある。この導電性微粒子は、導電性薄膜3を構成する材料の元素の一部、あるいは総てと同様のものである。また、亀裂を含む電子放出部2及びその近傍の導電性薄膜3は炭素及び炭素化合物を有している。本発明において、当該炭素及び炭素化合物は好ましくはグラファイト（単、多結晶双方をさす）、非晶質カーボン（非晶質カーボン及び多結晶グラファイトとの混

7

合物をさす)である。またその堆積膜厚は、好ましくは500Å以下、より好ましくは300Å以下である。

【0027】次に、垂直型表面伝導型電子放出素子の基本的な構成について説明する。

【0028】図2は、垂直型電子放出素子の基本的な構成を示す図で、図中21は段差形成部材で、その他図1と同じ符号は同じ部材を示すものである。

【0029】基板1、電子放出部2、導電性薄膜3及び素子電極4、5は、前述した平面型電子放出素子と同様の材料で構成されたものである。

【0030】段差形成部材21は、例えば真空蒸着法、印刷法、スパッタ法等で付設されたSiO₂等の絶縁性材料で構成されたものである。この段差形成部材21の膜厚は、先に述べた平面型電子放出素子の素子電極間隔L(図1参照)に対応するもので、段差形成部材21の作成法や素子電極4、5間に印加する電圧と電子放出し得る電界強度により設定されるが、好ましくは数百Å～数十μmであり、特に好ましくは数百Å～数μmである。

【0031】導電性薄膜3は、通常、素子電極4、5の作成後に形成されるので、素子電極4、5の上に積層されるが、導電性薄膜3の形成後に素子電極4、5を作成し、導電性薄膜3の上に素子電極4、5が積層されるようにすることも可能である。また、平面型電子放出素子の説明においても述べたように、電子放出部2の形成は、導電性薄膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存するので、その位置及び形状は図2に示されるような位置及び形状に特定されるものではない。

【0032】尚、以下の説明は、上述の平面型電子放出素子と垂直型電子放出素子の内、平面型を例にして説明するが、平面型電子放出素子に代えて垂直型電子放出素子としてもよい。

【0033】表面伝導型電子放出素子の製法としては様々な方法が考えられるが、その一例を図3に基づいて説明する。尚、図3において図1と同じ符号は同じ部材を示すものである。

【0034】1)基板1を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィ技術により基板1の面上に素子電極4、5を形成する(図3(a))。

【0035】2)素子電極4、5を設けた基板1上に有機金属溶液を滴下し、有機金属薄膜を形成する。素子電極4尚、有機金属溶液とは、前述の導電性薄膜3の構成材料の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングされた導電性薄膜3を形成する(図3(b))。尚、ここでは、有機金属溶液の塗

8

布法により説明したが、これに限ることなく、例えば真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等によって有機金属膜を形成することもできる。

【0036】3)続いて、フォーミングと呼ばれる通電処理を施す。素子電極4、5間に、不図示の電源より通電すると、導電性薄膜3の部位に構造の変化した電子放出部2が形成される(図3(c))。この通電処理により導電性薄膜3を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部2である。

【0037】フォーミングの電圧波形の例を図4に示す。

【0038】電圧波形は、特にパルス波形が好ましく、パルス波高値を定電圧とした電圧パルスを連続的に印加する場合(図4(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図4(b))とがある。

【0039】まず、パルス波高値を定電圧とした場合について図4(a)で説明する。

【0040】図4(a)におけるT₁及びT₂は電圧波形のパルス幅とパルス間隔であり、例えば、T₁を1μsec～10msec、T₂を10μsec～100msecとし、波高値(フォーミング時のピーク電圧)を前述した電子放出素子の形態に応じて適宜選択して、適当な真空度の真空雰囲気下で、数秒から数十分印加する。尚、印加する電圧波形は、図示される三角波に限定されるものではなく、矩形波等の所望の波形を用いることができる。

【0041】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図4(b)で説明する。

【0042】図4(b)におけるT₁及びT₂は図4(a)と同様であり、波高値(フォーミング時のピーク電圧)を、例えば0.1Vステップ程度ずつ増加させ、図4(a)の説明と同様の適当な真空雰囲気下で印加する。

【0043】尚、パルス間隔T₂中に、導電性薄膜3(図1及び図2参照)を局所的に破壊、変形もしくは変質させない程度の電圧、例えば0.1V程度の電圧で素子電流を測定して抵抗値を求め、例えば1MΩ以上の抵抗を示した時にフォーミングを終了する。

【0044】4)次に、フォーミング工程が終了した素子に活性化工程を施す。

【0045】活性化工程とは、真空排気系に起因するボ炭灰系炭素の有機物質を真空系に存在する有機物質から、通電フォーミング同様、パルス波高値が定電圧のパルスの印加を繰り返す処理を施すことにより、炭素及び炭素化合物を堆積する工程であり、素子電流I_f、放出電流I_oが、著しく変化

50

がら、例えば、放出電流 I_e が、飽和した時点で、活性化工程を終了する。なお、上記有機物質としては、アルカン、アルケン、アルキン等の脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸、さらにこれらの誘導体等が挙げられる。

【0046】本発明においては、活性化工程で印加する電圧を漸増することに特徴を有する。具体的には、前記フォーミング電圧よりも低い電圧から、フォーミング電圧よりも高い電圧へと、連続或いは階段状に増加させる。電圧値の増加速度としては、好ましくは0.1～1.0V/minであり、電圧波形としては、フォーミング電圧同様に、矩形波或いは三角波のパルス波形が好ましく用いられる。

【0047】本発明の表面伝導型電子放出素子を走査型電子顕微鏡で観察したところ、素子電極間のほぼ中央で導電性薄膜に亀裂が生じており、その亀裂幅はおよそ2000～10000Åであった。更に、この亀裂内に炭素及び炭素化合物が存在しているのが観察された。従来のフォーミング工程で生じる導電性薄膜の亀裂の幅は、2000Å以下であることから、上記のような亀裂幅の拡大は、本活性化工程において生じているものと推定される。

【0048】従来の活性化処理において、高い定電圧を印加していた場合には、上記のような亀裂幅拡大が活性化処理工程の初期段階に起きてしまい、素子の抵抗が大きくなり、活性化処理中に十分な電流が流れず、亀裂幅の広がった部分に炭素及び炭素化合物を十分堆積させることができず、十分な電子放出量が得られなかったものと推定される。

【0049】一方本発明では活性化処理工程の初期において、印加電圧を低い値にとどめているため、上記亀裂幅が拡大することなく、亀裂内に炭素及び炭素化合物を堆積させることができると考えられる。また、活性化電圧の上昇に伴い、該亀裂幅が拡大していくものの、上記範囲内で昇圧すれば、亀裂幅は拡大するものの、その拡大速度を炭素及び炭素化合物の堆積速度が上回り、拡大した亀裂内を炭素及び炭素化合物で埋うことができるものと推測される。

【0050】5)更に好ましくは、こうして作製した電極間の真空度の真空雰囲気とし、動作駆動する。また、より好ましくは、このより高い真空度の真空雰囲気下で80℃～150℃の加熱後、動作駆動する。

【0051】尚、フォーミング工程、活性化処理した真空度より高い真空度の真空雰囲気とは、例えば約 10^{-6} torr以上の真空度を有する真空度であり、より好ましくは、超高真空系であり、炭素及び炭素化合物が新たに堆積しない真空度である。

【0052】上記5)の工程によりこれ以上の炭素及び

炭素化合物の堆積が抑制され、素子電流及び放出電流が安定する。

【0053】このようにして得られる表面伝導型電子放出素子の基本特性を以下に説明する。

【0054】図5は、表面伝導型電子放出素子の電子放出特性を測定するための測定評価系の一例を示す概略構成図で、まずこの測定評価系を説明する。

【0055】図5において、図1と同じ符号は同じ部材を示す。また、51は素子に素子電圧 V_f を印加するための電源、50は素子電極4、5間の導電性薄膜3を流れる素子電流 I_f を測定するための電流計、54は電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は放出電流 I_e を測定するための電流計、55は真空装置、56は排気ポンプである。

【0056】電子放出素子及びアノード電極54等は真空装置55内に設置され、この真空装置55には不図示の真空系等の必要な機器が具備されていて、所望の真空下で電子放出素子の測定評価ができるようになってい

る。

【0057】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されている。また、真空装置55全体及び電子放出素子の基板1は、ヒーターにより200℃程度まで加熱できるようになっている。尚、この測定評価系は、後述するような表示パネル(図8における201参照)の組み立て段階において、表示パネル及びその内部を真空装置55及びその内部として構成することで、前述のフォーミング工程、活性化工程及び後述するそれ以後の工程における測定評価及び処理に応用することができるものである。

【0058】以下に述べる表面伝導型電子放出素子の基本特性は、上記測定評価系のアノード電極54の電圧を1kV～10kVとし、アノード電極54と電子放出素子の距離Hを2～8mmとして行った測定に基づくものである。

【0059】まず、放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係の典型的な例を図6に示す。尚、図6において、放出電流 I_e は素子電流 I_f に比べて著しく小さいので、任意単位で示されている。尚、縦軸、横軸とも図6から明らかなように、電子放出素子は、放出電流 I_e に対する次の3つの特徴的特性を有する。

【0061】まず第1に、電子放出素子はある電圧(しきい値電圧と呼ぶ:図6中の V_{th})以上の素子電圧 V_f を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。即ち、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

11

【0062】第2に、放出電流 I_f が素子電圧 V_f に対して単調増加する特性(MI特性と呼ぶ)を有するため、放出電流 I_f は素子電圧 V_f で制御できる。

【0063】第3に、アノード電極54(図5参照)に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。即ち、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0064】放出電流 I_f が素子電圧 V_f に対してMI特性を有すると同時に、素子電流 I_f も素子電圧 V_f に対してMI特性を有する場合もある。このような表面伝導型電子放出素子の特性の例が図6の実線で示す特性である。一方、図6に破線で示すように、素子電流 I_f は素子電圧 V_f に対して電圧制御型負性抵抗特性(VCN R特性と呼ぶ)を示す場合もある。いずれの特性を示すかは、電子放出素子の製法及び測定時の測定条件等に依存する。但し、図6において、実線及び破線で表わされた特性は互いに、縦横軸とも異なるスケールで示されている。又、素子電流 I_f が素子電圧 V_f に対してVCN R特性を有する電子放出素子でも、放出電流 I_f は素子電圧 V_f に対してMI特性を有する。

【0065】次に、本発明の電子源における表面伝導型電子放出素子の配列について説明する。

【0066】本発明の電子源における表面伝導型電子放出素子の配列方式としては、従来の技術の項で述べたような梯型配置の他、m本のX方向配線の上にn本のY方向配線を層間絶縁層を介して設置し、電子放出素子の一对の素子電極に夫々X方向配線、Y方向配線を接続した配置方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0067】前述した表面伝導型電子放出素子の基本的特性によれば、単純マトリクス配置された電子放出素子における放出電子は、しきい値電圧を超える電圧では、対向する素子電極間に印加するパルス状電圧の波高値とパルス幅で制御できる。一方、しきい値電圧以下では殆ど電子は放出されない。従って、多数の電子放出素子を配置した場合においても、個々の素子に上記パルス状電圧を適宜印加すれば、入力信号に応じて電子放出素子を選択し、その電子放出量が制御でき、単純なマトリクス配線だけで個別の電子放出素子を選択して独立に駆動可能となる。

【0068】単純マトリクス配置はこのような原理に基づくもので、本発明の電子源の一例である、この単純マトリクス配置の電子源の構成について図7に基づいて更に説明する。図7において基板1は既に説明したようなガラス板等であり、この基板1上に配列された表面伝導型電子放出素子104の個数及び形状は用途に応じて適宜設定されるものである。

【0070】m本のX方向配線102は、夫々外部端子

12

$D_{x1}, D_{x2}, \dots, D_{xm}$ を有するもので、基板1上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、多数の電子放出素子104にほぼ均等に電圧が供給されるように、材料、膜厚、配線幅が設定されている。

【0071】n本のY方向配線103は、夫々外部端子 $D_{y1}, D_{y2}, \dots, D_{yn}$ を有するもので、X方向配線102と同様に作成される。

【0072】これらm本のX方向配線102とn本のY方向配線103間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、このm、nは共に正の整数である。

【0073】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等であり、X方向配線102を形成した基板1の全面或は一部に所望の形状で形成され、特に、X方向配線102とY方向配線103の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0074】更に、電子放出素子104の対向する素子電極(不図示)が、m本のX方向配線102と、n本のY方向配線103と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線105によって電気的に接続されているものである。

【0075】ここで、m本のX方向配線102と、n本のY方向配線103と、結線105と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合は素子電極と総称する場合もある。また、電子放出素子104は、基板1あるいは不図示の層間絶縁層上どちらに形成してもよい。

【0076】また、詳しくは後述するが、前記X方向配線102には、X方向に配列された電子放出素子104の行を入力信号に応じて走査するために、走査信号を印加する不図示の走査信号印加手段が電気的に接続されている。

【0077】一方、Y方向配線103には、Y方向に配列された電子放出素子104の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号発生手段が電気的に接続されている。更に、各電子放出素子104に印加される駆動電圧は、当該電子放出素子104に印加される走査信号と変調信号の差電圧として供給されるものである。

【0078】本発明の電子源を用いた本発明の畫像形成装置の配線のを、図8～図10を用いて説明する。尚、図8は表示パネル201の基本構成図であり、図9は蛍光膜114を示す図であり、図10は図8の表示パネル201で、NTSC方式のテレビ信号に応じてテレビジョン表示を行

13

うための駆動回路の一例を示すブロック図である。

【0079】図8において、1は上述のようにして表面伝導型電子放出素子を配置した電子源の基板、111は基板1を固定したリアプレート、116はガラス基板113の内面に蛍光膜114とメタルバック115等が形成されたフェースプレート、112は支持棒であり、リアプレート111、支持棒112及びフェースプレート116にフリットガラス等を塗布し、大気中あるいは窒素中で、400～500℃で10分以上焼成することで封着して外囲器118を構成している。

【0080】図8において、2は図1における電子放出部に相当する。102、103は、電子放出素子104の一对の素子電極4、5と接続されたX方向配線及びY方向配線で、夫々外部端子D_{x1}～D_{xn}、D_{y1}～D_{yn}を有している。

【0081】外囲器118は、上述の如く、フェースプレート116、支持棒112、リアプレート111で構成されている。しかし、リアプレート111は主に基板1の強度を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート111は不要で、基板1に直接支持棒112を封着し、フェースプレート116、支持棒112、基板1にて外囲器118を構成してもよい。また、フェースプレート116、リアプレート111の間にスペーサと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器118とすることもできる。

【0082】蛍光膜114は、モノクロームの場合は蛍光体122のみからなるが、カラーの蛍光膜114の場合は、蛍光体122の配列により、ブラックストライプ(図9(a))あるいはブラックマトリクス(図9(b))等と呼ばれる黒色導伝材121と蛍光体122とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる三原色の各蛍光体122間の塗り分け部を黒くすることで混色等を日立たなくすることと、蛍光膜114における外光反射によるコントラストの低下を抑制することである。黒色導伝材121の材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であれば他の材料を用いることもできる。

【0083】ガラス基板113に蛍光体122を塗布する方法としては、モノクローム、カラーによらず、沈澱法や印刷法が用いられる。

【0084】また、図8に示されるように、蛍光膜114の内面側には通常メタルバック115が設けられる。メタルバック115の目的は、蛍光体122(図9参照)の発光のうち内面側への光をガラス基板113側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、

14

外囲器118内で発生した負イオンの衝突によるダメージからの蛍光体122の保護等である。メタルバック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後Alを真空蒸着等で堆積することで作製できる。

【0085】フェースプレート116には、更に蛍光膜114の導電性を高めるため、蛍光膜114の外周側に透明電極(不図示)を設けてもよい。

10 【0086】前述の封着を行う際、カラーの場合は各色蛍光体122と電子放出素子104とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0087】外囲器118内は、不図示の排気管を通じて、 1×10^{-7} torr程度の真空度にされ、封止される。また、外囲器118の封止を行う直前あるいは封止後に、ゲッター処理を行うこともある。これは、外囲器118内の所定の位置に配置したゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-6} \sim 1 \times 10^{-7}$ torrの真空度を維持するためのものである。

20 【0088】尚、前述したフォーミング及びこれ以降の電子放出素子の各製造工程は、通常、外囲器118の封止直前又は封止後に行われるもので、その内容は前述の通りである。

【0089】上述の表示パネル201は、例えば図10に示されるような駆動回路で駆動することができる。尚、図10において、201は表示パネル、202は走査回路、203は制御回路、204はシフトレジスタ、205はラインメモリ、206は同期信号分離回路、207は変調信号発生器、V_r及びV_aは直流電圧源である。

【0090】図10に示されるように、表示パネル201は、外部端子D_{x1}～D_{xn}、外部端子D_{y1}～D_{yn}及び高圧端子H_vを介して外部の電気回路と接続されている。この内、外部端子D_{x1}～D_{xn}には前記表示パネル201内に設けられている電子放出素子、即ちm行n列の行列状にマトリクス配置された電子放出素子群を1行(n素子)ずつ順次駆動して行くための走査信号が印加される。

40 【0091】一方、外部端子D_{y1}～D_{yn}には、前記走査信号により選択された1行の各電子放出素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子H_vには、直流電圧源V_aより、例えば10kVの直流電圧が供給される。これは電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

50 【0092】走査回路202は、内部にm個のスイッチング素子(図10中S₁～S_aで模式的に示す)を備え

るもので、各スイッチング素子 $S_1 \sim S_n$ は、直流電圧電源 V_x の出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル201の外部端子 $D_{x1} \sim D_{xn}$ と電気的に接続するものである。各スイッチング素子 $S_1 \sim S_n$ は、制御回路203が出力する制御信号 T_{scan} に基づいて動作するもので、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0093】本例における前記直流電圧源 V_x は、前記表面伝導型電子放出素子の特性(しきい値電圧)に基づき、走査されていない電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するように設定されている。

【0094】制御回路203は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きを持つものである。次に説明する同期信号分離回路206より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} 、 T_{aft} 及び T_{ary} の各制御信号を発生する。

【0095】同期信号分離回路206は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分を分離するための回路で、よく知られているように、周波数分離(フィルター)回路を用いれば、容易に構成できるものである。同期信号分離回路206により分離された同期信号は、これもよく知られるように、垂直同期信号と水平同期信号よりなる。ここでは、説明の便宜上 T_{sync} として図示する。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジスタ204に入力される。

【0096】シフトレジスタ204は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路203より送られる制御信号 T_{aft} に基づいて作動する。この制御信号 T_{aft} は、シフトレジスタ204のシフトクロックであると言い換えてもよい。また、シリアル/パラレル変換された画像1ライン分(電子放出素子の n 素子分の駆動データに相当する)のデータは、 $I_{d1} \sim I_{dn}$ の n 個の並列信号として前記シフトレジスタ204より出力される。

【0097】ラインメモリ205は、画像1ライン分のデータを必要時間だけ記憶するための記憶装置であり、制御回路203より送られる制御信号 T_{ary} に従って適宜 $I_{d1} \sim I_{dn}$ の内容を記憶する。記憶された内容は、 $I_{d'1} \sim I_{d'n}$ として出力され、変調信号発生器207に入力される。

【0098】変調信号発生器207は、前記画像データ $I_{d'1} \sim I_{d'n}$ の各々に応じて、電子放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子 $D_{y1} \sim D_{yn}$ を通じて表示パネル201内の電子放出

素子に印加される。

【0099】前述したように、電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合にのみ電子放出が生じる。また、しきい値電圧を超える電圧に対しては電子放出素子への印加電圧の変化に応じて放出電流も変化して行く。電子放出素子の材料、構成、製造方法を変えることにより、しきい値電圧の値や印加電圧に対する放出電流の変化度合いが変わる場合もあるが、いずれにしても以下のことがいえる。

【0100】即ち、電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0101】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器207としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器207としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜パルス幅を変調できるパルス幅変調方式の回路を用いる。

【0102】シフトレジスタ204やラインメモリ205は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであればよい。

【0103】デジタル信号式を用いる場合には、同期信号分離回路206の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路206の出力部にA/D変換器を設けることで行える。

【0104】また、これと関連して、ラインメモリ205の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器207に設けられる回路が若干異なるものとなる。

【0105】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器207は、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じ

17

て、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0106】一方、アナログ信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路(VCO)を用いればよく、必要に応じて電子放出素子の駆動電圧にまで電

圧増幅するための増幅器を付け加えてもよい。
【0107】以上のような表示パネル201及び駆動回路を有する本発明の画像形成装置は、端子 D_{x1} ～ D_{xn} 及び D_{y1} ～ D_{yn} から電圧を印加することにより、必要な電子放出素子から電子を放出させることができ、高圧端子Hvを通じて、メタルバック115あるいは透明電極(不図示)に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜114に衝突させることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0108】尚、以上説明した構成は、表示等に用いられる本発明の画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号としてNTSC方式を挙げたが、本発明に係る画像形成装置はこれに限られるものではなく、PAL、SECAM方式等の他の方式でもよく、更にはこれらよりも多数の走査線からなるTV信号、例えばMUSE方式を初めとする高品位TV方式でもよい。

【0109】次に、前述の梯子型配置の電子源及びこれを用いた本発明の画像形成装置の一例について図11及び図12を用いて説明する。

【0110】図11において、1は基板、104は表面伝導型電子放出素子、304は電子放出素子104を接続する共通配線で10本設けられており、各々外部端子 D_1 ～ D_{10} を有している。

【0111】電子放出素子104は、基板1上に並列に複数個配置されている。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0112】各素子行の共通配線304(例えば外部端子 D_1 と D_2 の共通配線304)間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようにすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線 D_2 ～ D_9 について、夫々相隣接する共通配線304、即ち夫々相隣接する外部端

18

子 D_2 と D_3 、 D_4 と D_5 、 D_6 と D_7 、 D_8 と D_9 の共通配線304を一体の同一配線としても行うことができる。

【0113】図12は、本発明の画像形成装置の他の例である、上記梯子型配置の電子源を備えた表示パネル301の構造を示す図である。

【0114】図12中302はグリッド電極、303は電子が通過するための開口、 D_1 ～ D_n は各電子放出素子に電圧を印加するための外部端子、 G_1 ～ G_n はグリッド電極302に接続された外部端子である。また、各素子行間の共通配線304は一体の同一配線として基板1上に形成されている。

【0115】尚、図12において図8と同じ符号は同じ部材を示すものであり、図8に示される単純マトリクス配置の電子源を用いた表示パネル201との大きな違いは、基板1とフェースプレート116の間にグリッド電極302を備えている点である。

【0116】基板1とフェースプレート116の間には、上記のようにグリッド電極302が設けられている。このグリッド電極302は、電子放出素子104から放出された電子ビームを変調することができるもので、梯子型配置の素子行と直行して設けられたストライプ状の電極に、電子ビームを通過させるために、各電子放出素子104に対応して1個ずつ円形の開口303を設けたものとなっている。

【0117】グリッド電極302の形状や配置位置は、必ずしも図12に示すようなものでなければならないのではなく、開口303をメッシュ状に多数設けることもあり、またグリッド電極302を、例えば電子放出素子104の周囲や近傍に設けてもよい。

【0118】外部端子 D_1 ～ D_n 及び G_1 ～ G_n は不図示の駆動回路に接続されている。そして、素子行を1列ずつ順次駆動(走査)して行くのと同期してグリッド電極302の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜114への照射を制御し、画像を1ラインずつ表示することができる。

【0119】以上のように、本発明の画像形成装置は、単純マトリクス配置及び梯子型配置のいずれの本発明の電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピュータ等の表示装置として好適な画像形成装置が得られる。更には、感光ドラムとて構成した光プリンターの露光装置としても用いることができるものである。

【0120】

【実施例】

【実施例1】本発明第1の実施例として、図1に示す平面型の表面伝導型電子放出素子を図3の製造工程に従って作製した。

【0121】1) 絶縁性基板1として石英基板を用い、これを有機溶剤により十分に洗浄後、Niからなる素子

19

電極4、5を形成した(図3(a))。この時、素子電極間隔Lは $10\mu\text{m}$ 、電極長さは $500\mu\text{m}$ 、厚さdは 1000\AA とした。

【0122】2) 不図示のマスキにより膜厚 1000\AA のCr膜を真空蒸着により堆積、パターンニングし、その上に有機Pd(CCP-4230: 興野製薬(株)社製)をスピナーにより回転塗布、 300°C で10分間の加熱焼成処理をした。こうして形成されたPdOよりなる微粒子(平均粒径: 70\AA)から形成される導電性薄膜3の膜厚は 100\AA 、シート抵抗値は $5\times 10^4\ \Omega/\square$ であった。

【0123】Cr膜及び焼成後の導電性薄膜3をリフトオフして所望のパターンを形成した。

【0124】3) 続いて、素子電極4、5間に不図示の電源より電圧を印加することによりフォーミング処理を行なった。これにより、導電性薄膜3に電子放出部2が形成された(図3(c))。フォーミング処理には、図4(a)に示した三角波のパルスを用い、約 $1\times 10^{-6}\text{ torr}$ の真空雰囲気下で180秒間行なった。三角波の波高値は 12V 、 $T_1=1\text{msec}$ 、 $T_2=10\text{msec}$ とした。この工程で形成された電子放出部2は、Pd元素を主成分とする微粒子が分散された状態となり、その微粒子の平均粒径は 40\AA であった。

【0125】4) 通電フォーミングが終了した素子に活性化処理を施した。図18に本実施例の表面伝導型電子放出素子を作製する際に用いた活性化電圧(波高値)の時間変化を示す。電圧の波形は、フォーミング処理と同様な三角波で、本実施例では工程初期は 10V に固定して5分間程度電圧を印加し、その後毎分 0.2V の割合で活性化電圧を上昇させ、 18V に達した時点で電圧の上昇を停止した。更に 18V で10分間電圧を印加した。

【0126】以上のようにして作製した本実施例の表面伝導型電子放出素子の電子放出特性を、図5の真空装置55内を $1\times 10^{-6}\text{ torr}$ 、アノード電極54の電位を 1kV 、アノード電極54と素子との距離Hを 4mm として測定した。

【0127】その結果、素子電圧 10V 程度から急激に放出電流 I_e が出始め、素子電圧 18V では I_f が 1.0mA 、 I_e が $1.0\mu\text{A}$ となり、電子放出効率 $\eta=0.1\%$ であった。

【0128】[実施例2] 有機Pd溶液を塗布するかわりに、蒸着によってPd微粒子を堆積させる以外は実施例1と同様にして、素子電極を連絡する導電性薄膜を形成し、図4(a)の三角波パルス(波高値: 8V 、印加時間: 120秒)を約 $5\times 10^{-7}\text{ torr}$ の雰囲気下で印加した。

【0129】続いて活性化処理を施した。本実施例においては、アセトン中で分圧 10^{-5} torr で図19に示す矩形波を、図20に示す時間経過で印加した。図19

20

中の $T_1=1\text{msec}$ 、 $T_2=16.7\text{msec}$ 、矩形波の波高値を 10V から開始し、5分おきに 1V ずつ波高値を階段状に変化させ、 22V まで上昇させた。その後、 22V で5分間印加を行ない、活性化処理を終了した。

【0130】本実施例の素子は、素子電圧 18V で素子電流 I_f が 1.2mA 、放出電流 I_e が $1.7\mu\text{A}$ 、電子放出効率 $\eta=0.14\%$ であった。

【0131】図21に本実施例の活性化処理による、素子電流 I_f と放出電流 I_e の変化(a)と、従来の活性化処理(18V の波高値の三角波、 $T_1=1\text{msec}$ 、 $T_2=10\text{msec}$ を3,900秒間印加)を行なった場合の変化(b)とを示した。本図から明らかなように、本発明に係る活性化処理においては、放出電流 I_e の伸びが急峻であり、その結果として、電子放出効率の良い電子放出素子が得られた。

【0132】[実施例3] Pdのかわりに、Au微粒子を蒸着した以外は実施例1と同様にして基板上に素子電極と導電性薄膜を形成した。フォーミング処理は実施例2と同じ三角波で、波高値は 7V で90秒間通電した。

【0133】本実施例では、活性化処理として、実施例2と同様な矩形波を、図22に示すように、 $10\sim 12\text{V}$ まで連続的に毎分 0.5V の速度で上昇させながら印加し、その後 12V で15分間通電した。その後更に、毎分 0.2V の速度で 18V まで上昇させ活性化を行なった。

【0134】実施例1、2と同様に図5の測定評価系を用いて I_f 、 I_e を測定したところ、素子電圧 18V で I_f が 0.8mA 、放出電流 I_e が $0.6\mu\text{A}$ で、 $\eta=0.075\%$ であった。

【0135】[実施例4] 本発明第4の実施例として、図7に示す単純マトリクス電子源を作製した。電子源の一部の平面図を図13に示す。また、図中のA-A'断面図を図14に、この電子源の製造工程を図15~16に示す。但し、図13~16中で同じ符号を付したものは同じものを示す。ここで、141は層間絶縁層、142はコンタクトホールである。以下製造工程を図15、16に沿って詳述する。

【0136】工程-a
清浄化した青板ガラス上に厚さ $0.5\mu\text{m}$ のシリコン酸化膜をスパッタ法で形成してなる絶縁性基板1上に、真空蒸着により厚さ 50\AA のCr、厚さ 6000\AA のAuを順次積層し、フォトリソ(AZ1370、ヘキスト社製)をスピナーにより回転塗布、ベークした後、フォトリソ像を露光現像して、下配線102のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線102を形成した。

【0137】工程-b
次に、厚さ $1.0\mu\text{m}$ のシリコン酸化膜からなる層間絶縁層141をRFスパッタ法により堆積した。

21

【0138】工程-c

工程-bで堆積したシリコン酸化膜にコンタクトホール142を形成するためのフォトレジストパターンを作り、これをマスクとして層間絶縁層141をエッチングしてコンタクトホール142を形成した。エッチングは CF_4 と H_2 ガスをを用いたRIE (Reactive Ion Etching) 法によった。

【0139】工程-d

素子電極間ギャップLとなるべきパターンのフォトレジスト(RD-2000N-41, 日立化成社製)を形成し、真空蒸着法により、厚さ50ÅのTi、厚さ100ÅのNiを順次堆積した。上記フォトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフして素子電極4、5を形成した。素子電極間隙Lは3μm、素子電極長さWは300μmとした。

【0140】工程-e

素子電極4、5の上に上配線103のフォトレジストパターンを形成した後、厚さ50ÅのTi、厚さ500ÅのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して所望の形状の上配線103を形成した。

【0141】工程-f

導電性薄膜のマスクにより膜厚1000ÅのCr膜161を真空蒸着により堆積、パターニングし、その上に有機Pd(CCP4230: 奥野製薬(株)社製)をスピナーにより回転塗布し、300℃で10分間加熱焼成処理した。このPdを主元素とする微粒子膜の膜厚は100Å、シート抵抗値は $6 \times 10^4 \Omega/\square$ であった。

【0142】工程-g

Cr膜161及び焼成後の導電性薄膜3を酸エッチャントによりエッチングして所望のパターンを形成した。

【0143】工程-h

コンタクトホール142以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ50ÅのTi、厚さ500ÅのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール142を埋め込んだ。

【0144】以上の工程により、絶縁性基板1上に下配線102、層間絶縁層141、上配線103、素子電極4、5、導電性薄膜3を形成した。

【0145】以上のようにして作製した未フォーミングの電子源を用いて図8に示す表示パネルを構成し、本発明の画像表示装置を形成した。

【0146】上記工程で作製した未フォーミングの電子源基板1をリアプレート111に固定した後、電子源1の5mm上方に、フェースプレート116(ガラス基板113の内面に蛍光膜114とメタルバック116が形成されている)を支持棒112を介して十分に位置合わせをして配置し、フェースプレート116、支持棒112、リアプレート111の接合部にフリットガラスを塗

22

布し、大気中で400℃~500℃で10分以上焼成することで封着した。またリアプレート111への電子源基板1の固定もフリットガラスで行なった。

【0147】本実施例では蛍光体はストライプ形状(図9(a)参照)を採用し、ブラックストライプの材料としては黒鉛を主成分とする材料を用い、ガラス基板113に蛍光体を塗布する方法としてはスラリー法を用いた。

【0148】また、蛍光膜114の内面側に設けられるメタルバック115は、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(フィルミング)を行ない、その後A1を真空蒸着することで作製した。フェースプレート116には、更に蛍光膜114の導電性を高めるため、蛍光膜114の外面側に透明電極が設けられる場合もあるが、本実施例では、メタルバック115のみで十分な導電性が得られたため省略した。

【0149】以上のようにして完成したガラス容器内の雰囲気管を排気管(不図示)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子D_{x1}~D_{xn}ないしD_{y1}~D_{yn}を通じて素子電極間に電圧を印加し、実施例1と同様にしてフォーミング処理を行なった。

【0150】次に各素子に対して実施例1と同様の活性化処理を行なった。

【0151】その後、約 $1 \times 10^{-6.5}$ torr程度の真空度で、不図示の排気管をガスバーナーで熱することで融着し、外囲器118の封止を行なった。

【0152】最後に、封止後の真空度を維持するために、高周波加熱法でゲッター処理を行なった。

【0153】以上のようにして作製した表示パネルの容器外端子D_{x1}~D_{xn}ないしD_{y1}~D_{yn}、及び高圧端子H_vをそれぞれ必要な駆動系に接続し、画像形成装置を完成した。各SCEに容器外端子D_{x1}~D_{xn}ないしD_{y1}~D_{yn}を通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加することにより、電子放出を行ない、高圧端子H_vを通じ、メタルバック115に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜114に衝突させ、励起・発光させることで良好な画像を表示した。

【0154】[実施例5] 図17は実施例4の画像形成装置を、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中280はディスプレイパネル、261はディスプレイパネルの駆動回路、262はディスプレイコントローラ、263はマルチプレクサ、264はデコード、265は入出力インターフェース回路、266はCPU、267は画像生成回路、268、269及び270は画像メモリーインターフェース回路、271は画像入力インターフェース回路、272及び273はTV信号受信回路、274は入力部である。尚、本表示装置は、例えばテレビジ

23

ョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。

【0155】以下、画像信号の流れに沿って各部を説明してゆく。

【0156】先ず、TV信号受信回路273は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でも良い。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路273で受信されたTV信号は、デコーダ264に出力される。

【0157】また、画像TV信号受信回路272は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路273と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ264に出力される。

【0158】また、画像入力インターフェース回路271は、例えばTVカメラや画像読取スキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ264に出力される。

【0159】また、画像メモリインターフェース回路270は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ264に出力される。

【0160】また、画像メモリインターフェース回路269は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ264に出力される。

【0161】また、画像メモリーインターフェース回路268は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ264に出力される。

【0162】また、入出力インターフェース回路265は、本表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行なうのはもちろんのこと、場合によっては本表示装置の備えるCPU266と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

24

【0163】また、画像生成回路267は、前記入出力インターフェース回路265を介して外部から入力される画像データや文字・図形情報や、或いはCPU266より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0164】本回路により生成された表示用画像データは、デコーダ264に出力されるが、場合によっては前記入出力インターフェース回路265を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【0165】また、CPU266は、主として本表示装置の動作制御や、表示画像の生成、選択、編集に関わる作業を行なう。

【0166】例えば、マルチプレクサ263に制御信号を出力し、ディスプレイパネル280に表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ262に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一面の走査線の数など表示装置の動作を適宜制御する。

【0167】また、前記画像生成回路267に対して画像データや文字・図形情報を直接出力したり、或いは前記入出力インターフェース回路265を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0168】尚、CPU266は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0169】或いは、前述したように入出力インターフェース回路265を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行なっても良い。

【0170】また、入力部274は、前記CPU266に使用者が命令やプログラム、或いはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0171】また、デコーダ264は、前記267ないし273より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。尚、同図中に点線で示すように、デコーダ264は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに

25

際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、或いは前記画像生成回路267及びCPU266と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行なえるようになるという利点が生まれるからである。

【0172】また、マルチプレクサ263は前記CPU266より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ263はデコーダ264から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路261に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0173】また、ディスプレイパネルコントローラ262は、前記CPU266より入力される制御信号に基づき駆動回路261の動作を制御するための回路である。

【0174】先ず、ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（不図示）の動作シーケンスを制御するための信号を駆動回路261に対して出力する。

【0175】また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路261に対して出力する。

【0176】また、場合によっては表示画像の輝度、コントラスト、色調、シャープネスといった画質の調整に関わる制御信号を駆動回路261に対して出力する場合もある。

【0177】また、駆動回路261は、ディスプレイパネル280に印加する駆動信号を発生するための回路であり、前記マルチプレクサ263から入力される画像信号と、前記ディスプレイパネルコントローラ262より入力される制御信号に基づいて動作するものである。

【0178】以上、各部の機能を説明したが、図17に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル270に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ264において逆変換された後、マルチプレクサ263において適宜選択され、駆動回路261に入力される。一方、ディスプレイコントローラ262は、表示する画像信号に応じて駆動回路261の動作を制御するための制御信号を発生する。駆動回路261は、上記画像信号と制御信号に基づいてディスプレイパネル280に駆動信号を印加する。これにより、ディスプレイパネル280において画像が表示される。これらの一連の動作は、CPU266により統括的に制御される。

26

【0179】また、本表示装置においては、前記デコーダ264に内蔵する画像メモリや、画像生成回路267及びCPU266が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ替え、はめ込みなどをはじめとする画像編集を行なうことも可能である。また、本実施例の説明では、特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0180】従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

【0181】尚、上記図17は、本発明の画像形成装置の一例を示したに過ぎず、これのみに限定されるものではないことは言うまでもない。例えば図17の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0182】本表示装置においては、とりわけ表面伝導型電子放出素子を電子源とするディスプレイパネルの薄型化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、表面伝導型電子放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれる迫力に富んだ画像を視認性良く表示することが可能である。

【0183】更に、本発明の電子源は各表面伝導型電子放出素子間での電子放出特性が均一であるため、形成される画像の画質が高く、また高精細な画像の表示も可能である。

【0184】

【発明の効果】以上説明したように、本発明によると、電子放出効率が高く、耐久性の高い表面伝導型電子放出素子が提供され、該素子を複数用いてなる画像形成装置において、高い表示特性と信頼性が得られる。

【図面の簡単な説明】

【図1】本発明の表面伝導型電子放出素子の一実施態様を示す断面図である。

【図2】本発明の表面伝導型電子放出素子の他の実施態様を示す断面図である。

【図3】本発明の表面伝導型電子放出素子の製造工程例

を示す図である。

【図4】本発明の表面伝導型電子放出素子の製造に係る通電処理の電圧波形を示す図である。

【図5】本発明の表面伝導型電子放出素子の電子放出特性を評価するための測定評価系を示す図である。

【図6】本発明の表面伝導型電子放出素子の電子放出特性を示す図である。

【図7】本発明の単純マトリクス電子源の模式図である。

【図8】本発明の画像形成装置の表示パネルの一実施態様を示す図である。

【図9】本発明の画像形成装置に用いる蛍光膜を示す図である。

【図10】本発明の画像形成装置の一実施態様のブロック図である。

【図11】本発明の梯子型電子源の模式図である。

【図12】梯子型電子源を用いた本発明の画像形成装置の表示パネルを示す図である。

【図13】本発明の実施例4の画像形成装置に用いた電子源を示す図である。

【図14】本発明の実施例4に係る電子源の部分断面図である。

【図15】実施例4に係る電子源の製造工程図である。

【図16】実施例4に係る電子源の製造工程図である。

【図17】本発明の実施例5の画像形成装置のブロック図である。

【図18】本発明の実施例1の活性化工程における印加電圧の波高値の時間変化を示す図である。

【図19】本発明の実施例2の活性化工程における印加電圧の波形を示す図である。

【図20】本発明の実施例2の活性化工程における印加電圧の波高値の時間変化を示す図である。

【図21】本発明の実施例2及び従来の活性化工程における素子電流と放出電流の変化を示す図である。

【図22】本発明の実施例3の活性化工程における印加電圧の波高値の時間変化を示す図である。

【符号の説明】

1 絶縁性基板

2 電子放出部

3 導電性薄膜

4, 5 素子電極

21 段差形成部材

50 電流計

51 電源

52 電流計

53 高圧電源

54 アノード電極

55 真空装置

56 排気ポンプ

102 X方向配線

103 Y方向配線

104 表面伝導型電子放出素子

105 結線

111 リアプレート

112 支持枠

113 ガラス基板

114 蛍光膜

115 メタルバック

116 フェースプレート

118 外圍器

121 黒色導伝材

122 蛍光体

141 層間絶縁層

142 コンタクトホール

161 Cr膜

20 201 表示パネル

202 走査回路

203 制御回路

204 シフトレジスタ

205 ラインメモリ

206 同期信号分離回路

207 変調信号発生器

261 駆動回路

262 ディスプレイパネルコントローラ

263 マルチプレクサ

30 264 デコーダ

265 入出力インターフェース

266 CPU

267 画像生成回路

268 画像メモリーインターフェース

269 画像メモリーインターフェース

270 画像メモリーインターフェース

271 画像入力メモリーインターフェース

272 TV信号受信回路

273 TV信号受信回路

40 274 入力部

280 ディスプレイパネル

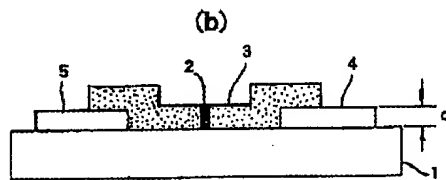
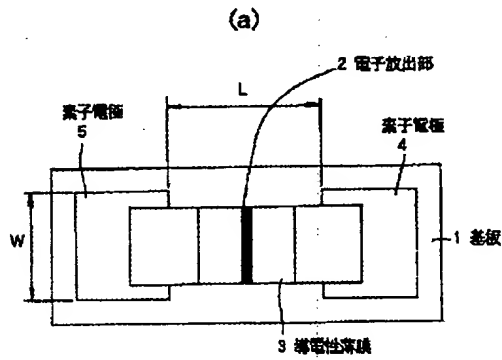
301 表示パネル

302 グリッド電極

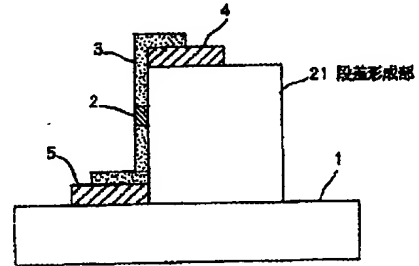
303 開口

304 共通配線

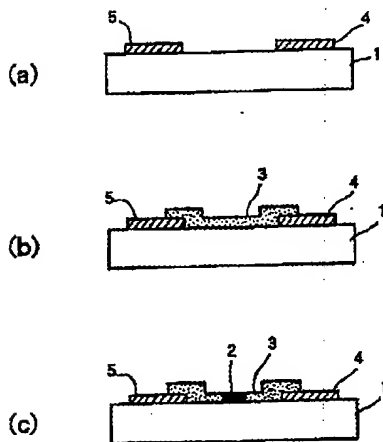
【図1】



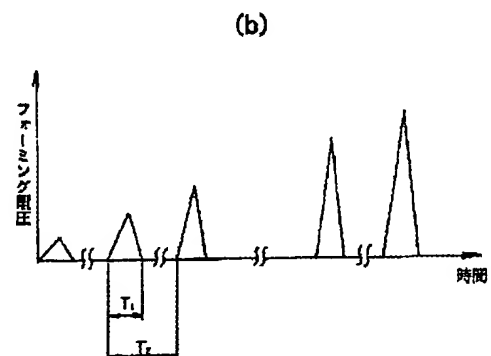
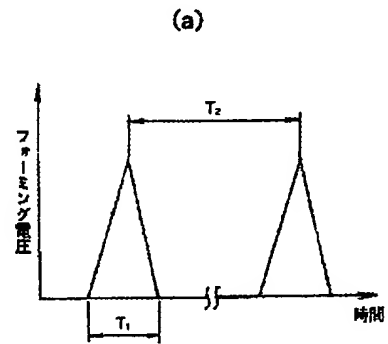
【図2】



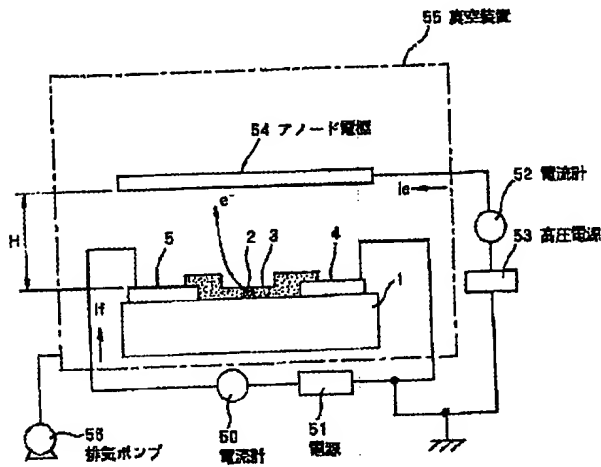
【図3】



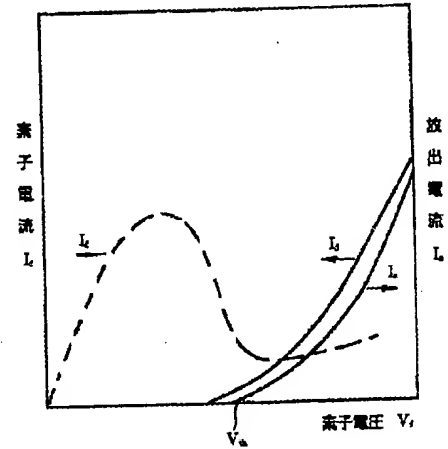
【図4】



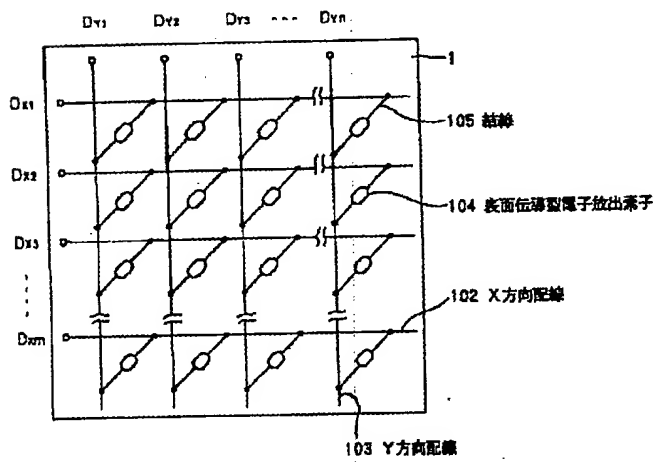
【図5】



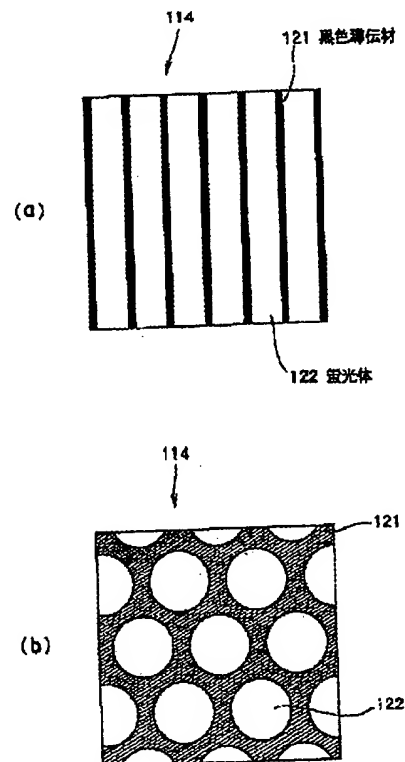
【図6】



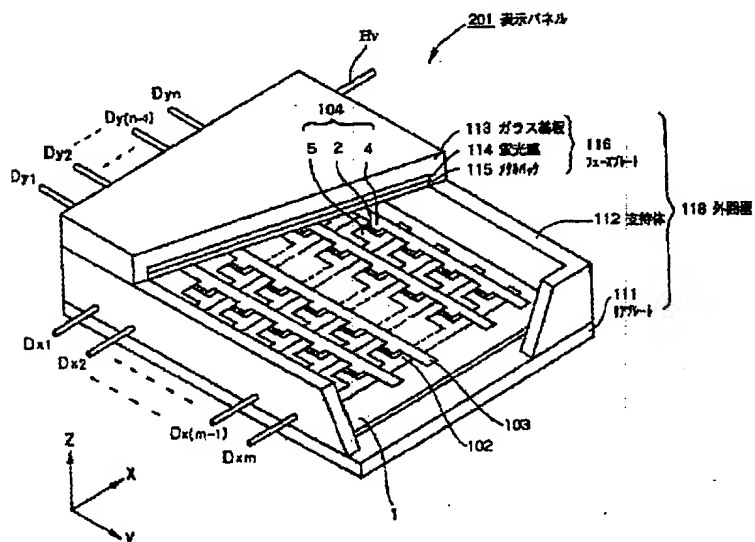
【図7】



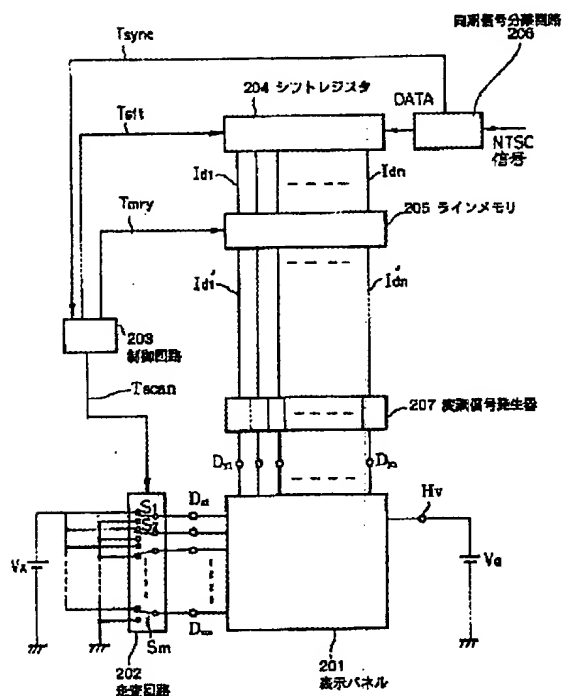
【図9】



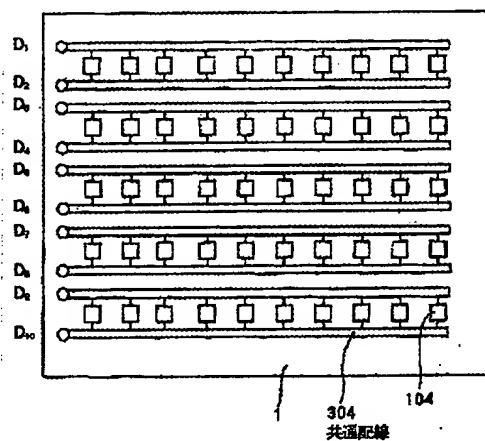
【例8】



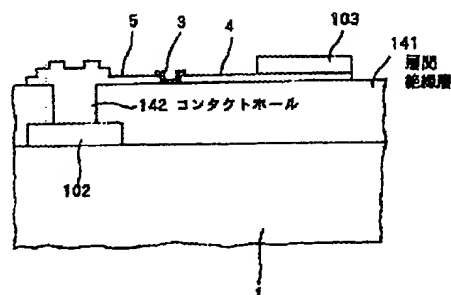
【図10】



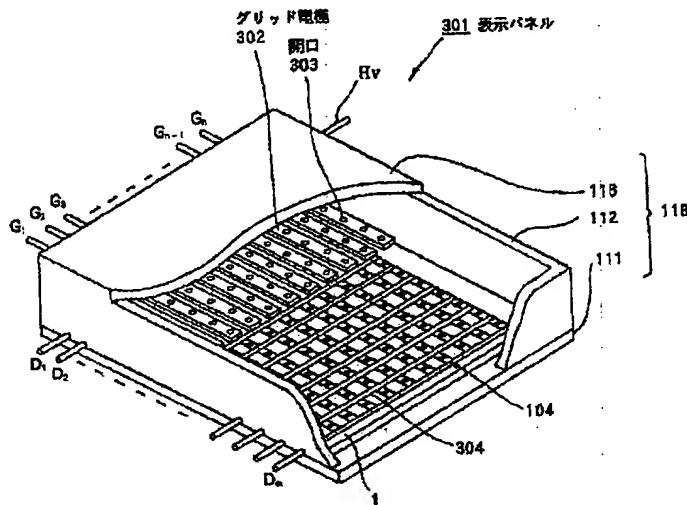
【図11】



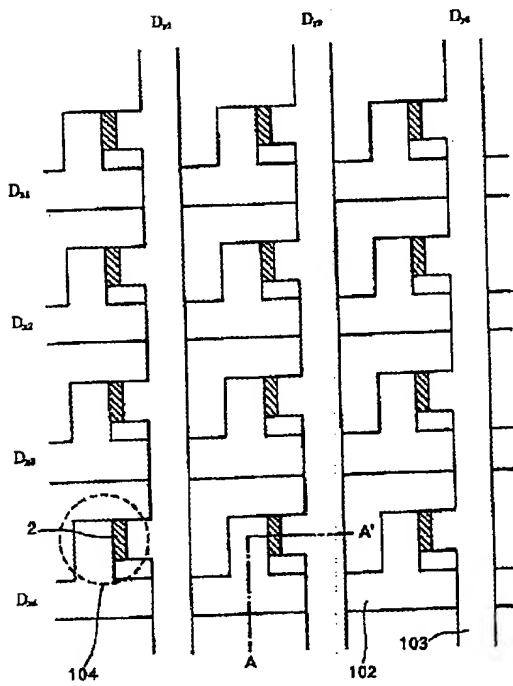
【図14】



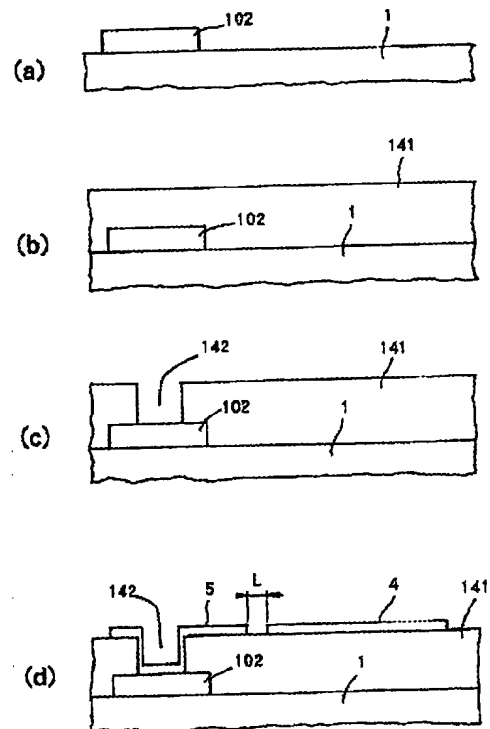
【例12】



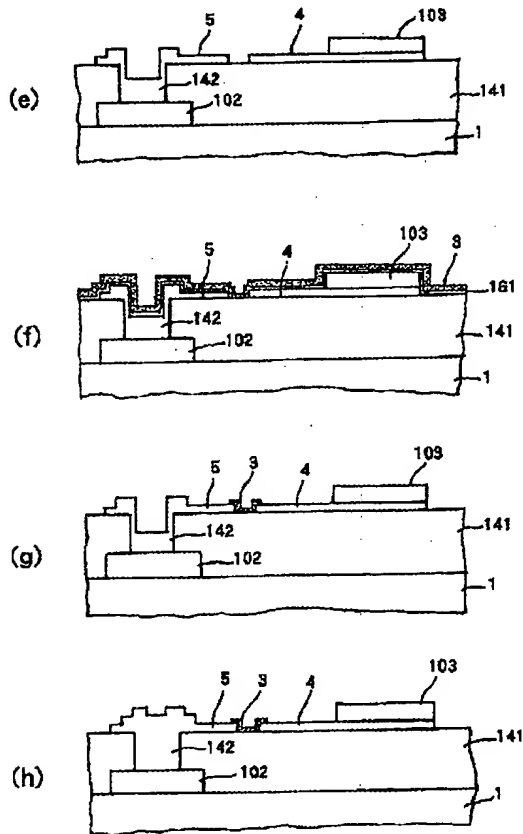
【図13】



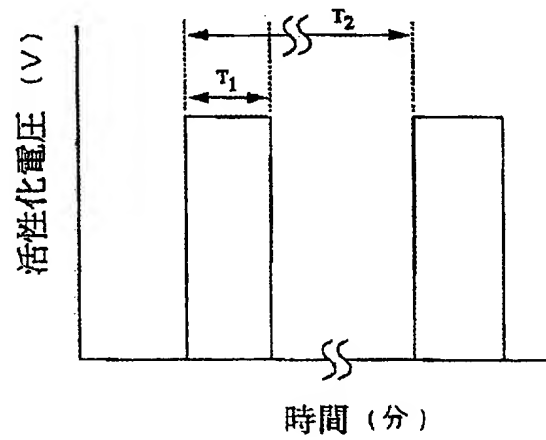
【图15】



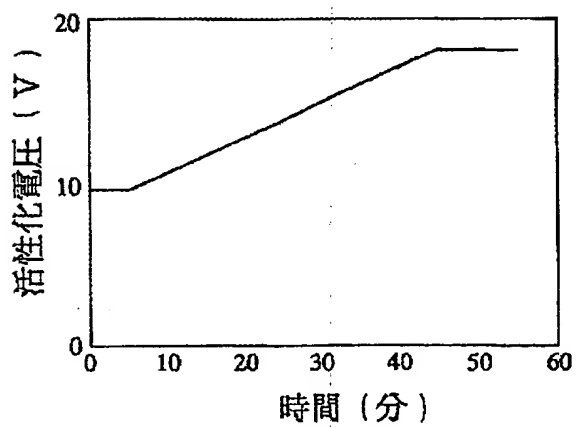
【図16】



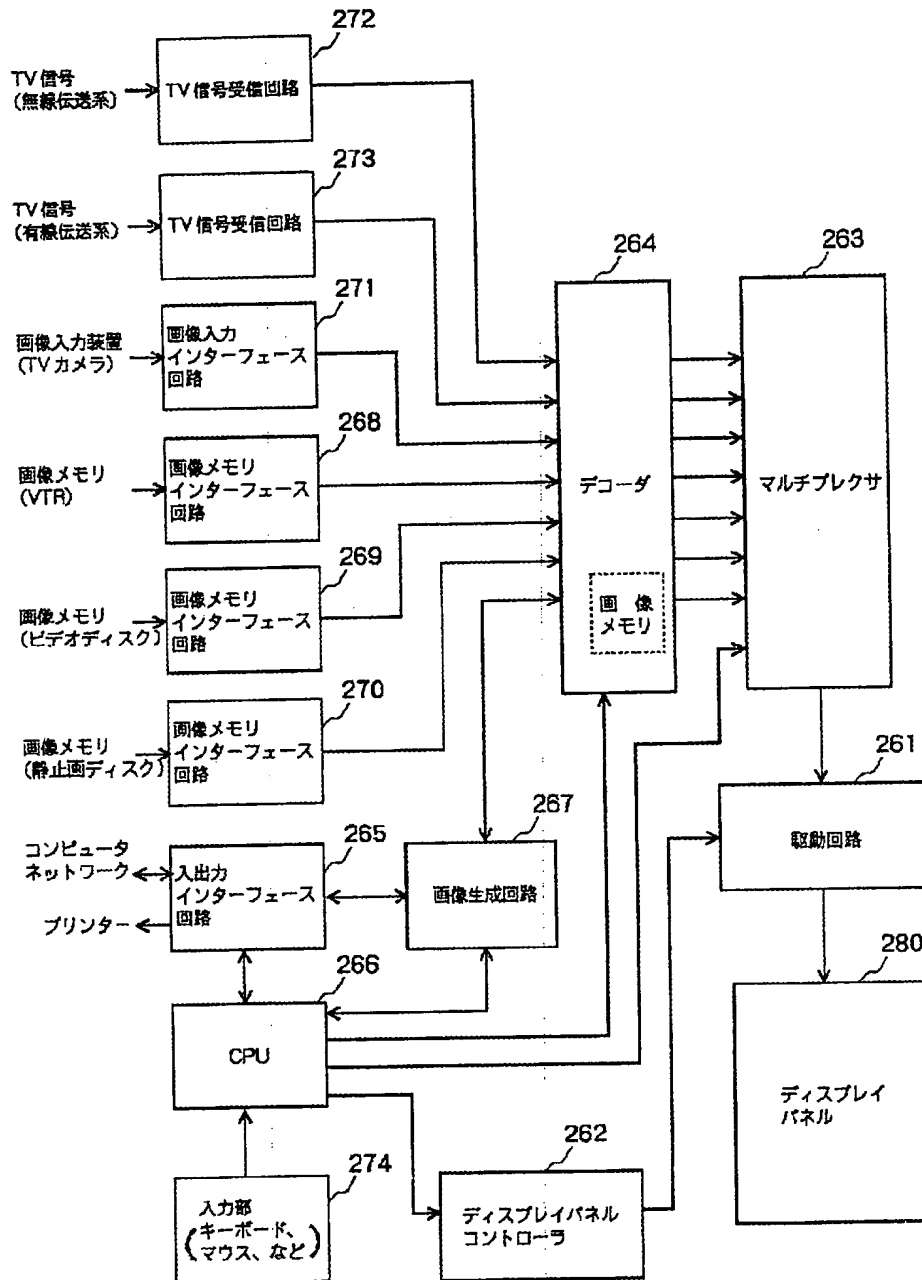
【図19】



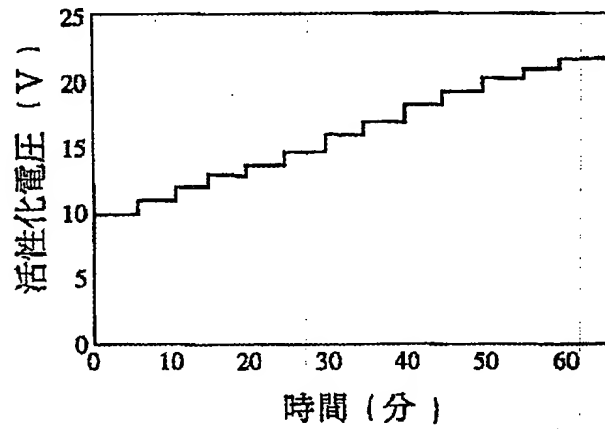
【図18】



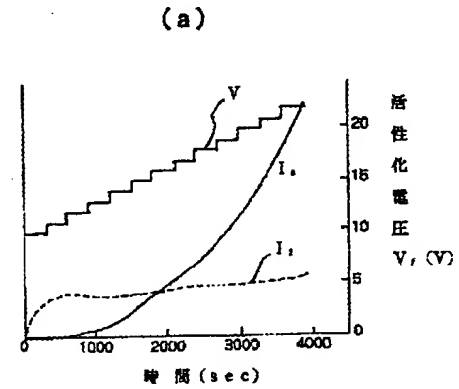
【図17】



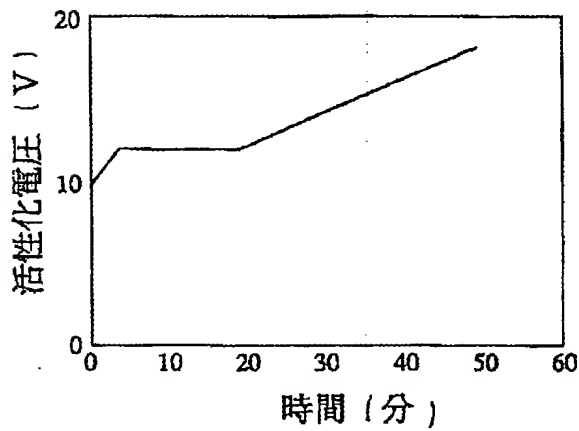
【図20】



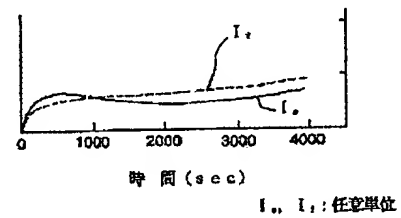
【図21】



【図22】



(b)



フロントページの続き

(72)発明者 浜元 康弘
東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

(56)参考文献 特開 平1-309242 (JP, A)
特開 平4-147534 (JP, A)
特開 平7-235275 (JP, A)

(58)調査した分野(Int.Cl.⁶, DB名)

H01J 1/30

H01J 9/02

H01J 31/12

